

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-031872

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H01L 21/60  
H01L 21/321

(21)Application number : 06-160934

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.07.1994

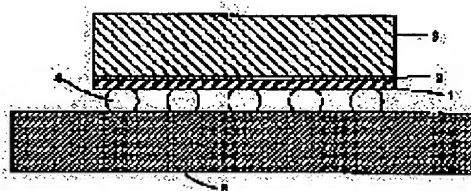
(72)Inventor : FUJITA YUJI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To realize highly reliable flip chip connection with a board having coefficient of thermal expansion significantly different from that of a semiconductor element.

CONSTITUTION: In a semiconductor device where the difference in the coefficient of thermal expansion is suppressed between a semiconductor element 1 and a mounting board 5 by sticking a board 3 for controlling the coefficient of thermal expansion to the surface of the semiconductor element 1 formed with no bump 4, the thickness of the semiconductor element 1 is set at one tenth or less that of the control board 3. Since highly reliable flip chip connection can be made easily with a low cost board, e.g. a glass epoxy board, cost of the semiconductor device can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-31872

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/60  
21/321

識別記号

3 1 1 S 7726-4E

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 92

C

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平6-160934

(22)出願日 平成6年(1994)7月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 藤田 祐治

東京都国分寺市東窓ケ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体装置

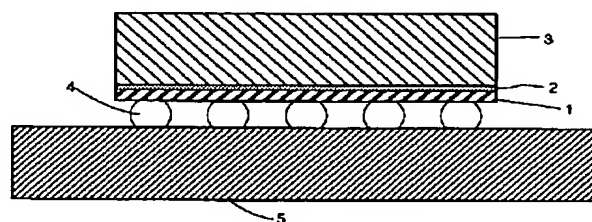
(57)【要約】

【目的】半導体素子と熱膨張係数が大きく異なる基板に対して、高信頼なフリップチップ接続を実現する。

【構成】半導体素子1における bumps 4 の形成面と反対側の表面に熱膨張係数制御板3を張り合わせることで、半導体素子1と搭載基板5との熱膨張係数の差を低減する半導体装置において、半導体素子1の厚さが前記熱膨張係数制御板3の厚さの10分の1以下の値を持つ。

【効果】ガラスエポキシ基板など低コストな基板に対して高信頼なフリップチップ接続が容易になるので、半導体装置の低コスト化が図れる。

図1



## 【特許請求の範囲】

【請求項 1】半導体素子と、前記半導体素子が搭載される基板と、前記基板と前記半導体素子との対向する電極端子の間に形成された突起電極からなり、前記半導体素子の前記突起電極が形成された面と反対側の表面に、前記半導体素子の熱膨張係数とは異なる熱膨張係数を有する熱膨張係数制御板を接合することにより、前記半導体素子と前記基板との熱膨張係数の差を低減してなる半導体装置において、前記半導体素子の厚さが前記熱膨張係数制御板の厚さの 10 分の 1 以下の値を持つことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体素子と基板を接続する半導体装置に関する。

## 【0002】

【従来の技術】従来、半導体素子（チップ）の回路面に突起電極（ bumps ）を形成し、 bumps を基板上の電極端子と接続するフリップチップ方式があった。この方式は、接続に要する面積が最小でかつ多数の端子を接続できるので、最高性能を必要とするスーパーコンピュータや大型コンピュータ等のチップ接続に用いられてきた。

【0003】近年、LSI チップの高性能化、低コスト化に伴い、ワークステーション等の小型コンピュータにフリップチップ方式を用いる例が増加している。小型コンピュータでは低コストなガラスエポキシ基板を用いるが、ガラスエポキシ基板の熱膨張係数（ $11 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$ ）と Si チップの熱膨張係数（ $3 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$ ）との差により発生する熱歪が bumps に加わり、ある温度サイクルが経過すると bumps が破断するという問題が生じる。

【0004】この熱歪を低減する方法には次に示すものが知られている。例えば、特開昭 63-316447 号公報では、図 2 に示すように、 bumps 4 によって接続された半導体素子 1 と基板 5 の間全体に、 bumps 4 に等しい熱膨張係数を有する樹脂 6 を充填して bumps 4 を補強する。また特開昭 63-4635 号公報では、図 3 に示すように、半導体素子 1 の bumps 4 と反対側の表面に熱膨張係数制御板 3 を接合層 2 を介して張り合わせ、半導体素子 1 の熱膨張収縮量を基板 5 に近付けて bumps 4 を高信頼化する

## 【0005】

【発明が解決しようとする課題】特開昭 63-316447 号公報では、図 2 における樹脂 6 と半導体素子 1 の熱膨張係数が異なり、また樹脂 6 と基板 5 の熱膨張係数も異なっているので、特に大型の半導体素子では外周部分の bumps 4 に大きな熱歪が生じる。このため使用できるチップ寸法に制限があった。

【0006】一方、特開昭 63-4635 号公報では、図 4 に示すように、半導体素子 1 と熱膨張係数制御板 3 の熱膨

張係数に大きな差があると、熱膨張係数制御板 3 の膨張収縮に伴い半導体素子 1 の反り量が増大し、半導体素子 1 と基板 5 の間の bumps 4 の接合界面に大きな引張り応力が加わる。

【0007】図 5、および図 6 を用いて bumps 4 の接合界面の様子を説明する。図 5 に示すように、半導体素子 1 はデバイス等が形成されるシリコン層 101 と、層間絶縁層 102、配線層 104、表面絶縁層 103、電極端子 105 からなる。一方、基板 5 は、ガラスポリイミド層 501、配線層 503、表面絶縁層 502、電極端子 504 からなる。図 6 の矢印で示すように、半導体素子 1 と基板 5 に対して垂直方向に引張り応力が加わると、接合強度の最も弱い界面、例えば、配線層 104 と電極端子 105 との接合界面に亀裂 106 が形成される。コンピュータの運転開始や停止に伴う温度サイクルは、繰り返し応力となって接合界面に加わるため、初期に形成された微小な亀裂 106 はやがて成長し、遂には電極端子 105 全面を剥離させる。このように、熱膨張係数が半導体素子 1 と大きく異なる基板 5 を用いると、 bumps 4 の接続信頼性が低下する。

【0008】本発明の目的は、半導体素子と熱膨張係数が大きく異なる低コストな基板に対して、高信頼なフリップチップ接続を実現することにある。

## 【0009】

【課題を解決するための手段】上記目的は、半導体素子における bumps 形成面と反対側の表面に熱膨張係数制御板を張り合わせるにより前記半導体素子と搭載基板との熱膨張係数の差を低減する半導体装置において、前記半導体素子の厚さが前記熱膨張係数制御板の厚さの 10 分の 1 以下の値を持つことにより達成される。

## 【0010】

【作用】上記手段によれば、熱膨張係数制御板の外力に対する抵抗すなわち剛性は、半導体素子に比べて圧倒的に大きくなるため、熱膨張係数制御板の反り量は大幅に低減される。半導体素子は熱膨張係数制御板に追従して膨張収縮するので、半導体素子の反り量も同様に減少する。半導体素子と搭載基板の間の距離は一定に保持されるので、 bumps の接合界面に加わる引張り応力が減少し、高信頼なフリップチップ接続を実現できる。

## 【0011】

【実施例】図 1 は本発明による半導体装置の一実施例を示す断面図である。半導体素子 1 と基板 5 の対抗面上には、半導体素子 1 および基板 5 に形成された回路と電気的に接続された bumps 4 が設けられている。半導体素子 1 の回路面と反対側表面には、接合層 2 を介して熱膨張係数制御板 3 が接合されている。本実施例では、半導体素子 1 には厚さ 0.1 mm、10 mm 角の Si を使い、 bumps 4 には、高さ 120  $\mu\text{m}$ 、ピッチ 250  $\mu\text{m}$  の 37 Pb-63 wt % Sn 半田を用いた。接合層 2 には、蒸着により形成した金を用い、熱膨張係数制御板 3 には厚さ 1

3

mm、10mm角の銅板、配線基板5にはガラスエポキシ基板を用いた。

【0012】本実施例における効果を図7ないし図10を用いて説明する。図7は、図1に示した半導体装置において、半導体素子1の反り量を算出するためにパンプ4および基板5を除いて単純化した断面図である。図8は、温度上昇時に半導体素子1と熱膨張係数制御板3の熱膨張係数の差により反りが生じる様子を示した図である。ここで、熱膨張係数制御板3の厚さを1mm一定とし、半導体素子1の厚さ $t$ を1mmから0.001mmまで薄くした際の、全体の反り量 $d$ を算出した（参考文献：奥村敦吏：材料力学：コロナ社、p282（昭34-12））。他の材料および寸法は図1に示した実施例と同一とし、温度上昇は50℃と仮定した。

【0013】図9にその計算結果を示す。半導体素子1の厚さ $t$ を0.1mm以下の薄さにするとチップの反り量 $d$ は約10 $\mu$ mを下回り、 $t$ をさらに小さくすれば $d$ を約1 $\mu$ m以下にすることも可能となる。すなわち、半導体素子1の厚さを熱膨張係数制御板3の厚さの約10分の1以下に薄くすれば、半導体素子1の反り量を十分に小さくでき、したがって高信頼なフリップチップ接続を実現できることが予想される。

【0014】次に本実施例の有効性を実証するために、図1に示した実施例、図2および図3に示した従来例の温度サイクル加速試験を実施し、各方式のパンプの接続信頼性を比較した。その結果を図10に示す。ここで横軸は、加速条件である-55℃～150℃、1サイクル1時間の温度サイクルを加えた回数を示し、縦軸は各方式において断線が生じたパンプ接合部の個数を累積不良率として示している。

【0015】図2の従来例では、温度サイクル約1000回で全てのパンプに断線が生じた。図3の従来例も、温度サイクル約1000回でほとんどのパンプに断線が生じた。これに対して本発明（図1）では、全てのパンプの断線に要する温度サイクル数は約2倍の2000回に達した。この値は、実使用条件での接続寿命約30年に相当し、実用上十分な接続信頼性を示すものである。図3の従来例は、本発明（図1）と同じ材料で構成されており、半導体素子1の厚さが0.5mmである点が異なる。すなわち、図6において予測したように半導体素子1の厚さを薄くすることでチップの反り量が減少し、パンプに加わる応力が低減されて、パンプの接続寿命が向上したことを示すものである。図10の結果、少なくとも半導体素子1の厚さを、熱膨張係数制御板3の厚さ1mmの10分の1とすることで、ガラスエポキシ基板に対する高信頼なフリップチップ接続を実現できることが明らかになった。

【0016】以上、実施例に基づいて具体的に説明したが、本発明は実施例に限定されるものでなく、本発明の要旨の範囲内で以下に示すような実施例も可能である。

4

【0017】図1に示した実施例は、半導体素子の背面からの放熱が容易となるように熱膨張係数制御板を銅製としたが、熱膨張係数制御板をガラスエポキシ基板で構成しても同様に高信頼なフリップチップ接続を実現できる。セラミクス系材料、例えばムライト等を搭載基板として用いる場合は、熱膨張係数制御板としても同じムライトを用いることが望ましい。発熱量が大きい半導体素子をセラミクス基板に搭載する場合は、熱膨張係数制御板としてアルミナナイトライド等の熱伝導率の高いセラミクス系材料を用いればよい。

【0018】半導体素子の大きさは図1の実施例のように約10mm角のチップサイズに限定する必要はない。図11に示すように約5～8インチのウェハ7に接合層2を介して熱膨張係数制御板3を接合し、ウェハ7を一つのデバイスとして基板にフリップチップ接続してもよい。ウェハ7のサイズが大きいほどウェハ7の反り量は増大するので、本発明によりウェハ7の反り量を制御する方法は有効となる。あるいは、熱膨張係数制御板3に接合されたウェハ7を個々のチップの大きさに切り出し、各チップを検査、エージング後に良品チップのみを基板に複数個搭載してもよい。この場合、複数のチップに対して熱膨張係数制御板の接合が一回で済むので、生産性が向上する。

【0019】図12は、本発明をマルチチップモジュールへ応用した実施例である。基板5にはシリコンチップ9とガリウム砒素チップ8がパンプ4を介して搭載されている。シリコンチップ9の回路面と反対側表面には、接合層2を介して熱膨張係数制御板3が接合されている。ガリウム砒素チップ8の回路面と反対側表面にも、接合層2を介して熱膨張係数制御板3が接合されている。従来、一つの基板に異なる材料の半導体素子を搭載すると、基板と半導体素子の熱膨張係数の差が最も大きいチップにおいてパンプに加わる熱歪が最も大きくなる。本実施例では、熱膨張係数制御板3の接合により各チップのパンプ4に加わる熱歪を同等のレベルに制御できるので、チップによる接続寿命のばらつきを小さくできる。よってチップの材料に関わらず同じチップサイズ、同じパンププロセスを用いることが可能となり、生産設備のコスト低減に寄与できる。

【0020】図13は、図1に示した実施例と図2の従来例を組み合わせた実施例である。半導体素子1の回路面と反対側表面に、接合層2を介して熱膨張係数制御板3を接合し、半導体素子1の回路面をパンプ4を介して基板5へ接続する。その後、半導体素子1と基板5の間全体に、パンプ4に等しい熱膨張係数を有する樹脂6を充填してパンプ4を補強する。本実施例で熱膨張係数制御板3により半導体素子1と基板5の間の熱歪は低減されており、樹脂6でパンプ4を補強することにより、さらにパンプ4の接続性は向上する。

【0021】

5

【発明の効果】本発明によれば、熱膨張係数が半導体素子と大きく異なる基板に対して、フリップチップ接続を実現できる。特にガラスエポキシ基板など低コストな基板に対してフリップチップ接続が可能になるので、半導体装置の低コスト化が図れる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す断面図。

【図 2】従来例を示す断面図。

【図 3】他の従来例を示す断面図。

【図 4】図 3 の従来例において半導体素子の反りに伴い 10  
バンプに引張り応力が加わる様子を示す断面図。

【図 5】図 3 の従来例におけるバンプの接合界面の様子を  
示す断面図。

【図 6】図 5 におけるバンプの接合界面が剥離する様子  
を示す断面図。

6

【図 7】第 1 の実施例における半導体素子の反り量を算出するために単純化した断面図。

【図 8】図 7 のモデルにおいて、温度上昇時に半導体素子に反りが生じる様子を示した説明図。

【図 9】図 7 のモデルにおいて、半導体素子の厚さを変えたときの反り量を算出した結果の特性図。

【図 10】第 1 の実施例、および図 2 と図 3 に示した従来例の温度サイクル試験における、各方式のバンプの接続信頼性を比較した特性図。

【図 11】本発明の第 2 の実施例を示す斜視図。

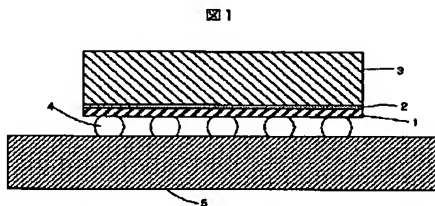
【図 12】本発明の第 3 の実施例を示す断面図。

【図 13】本発明の第 4 の実施例を示す断面図。

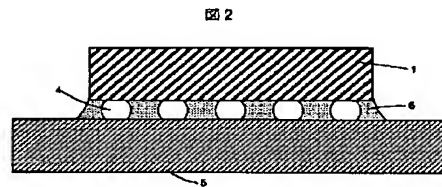
【符号の説明】

1…半導体素子、2…接合層、3…熱膨張係数制御板、  
4…バンプ、5…基板。

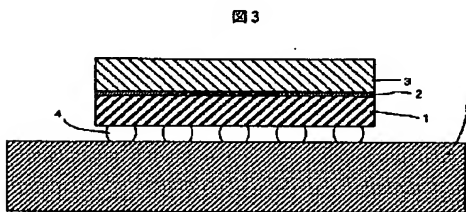
【図 1】



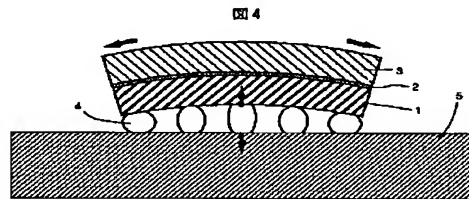
【図 2】



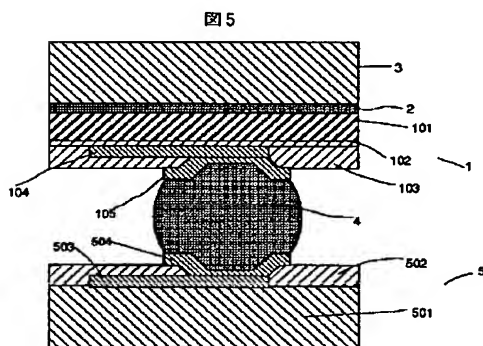
【図 3】



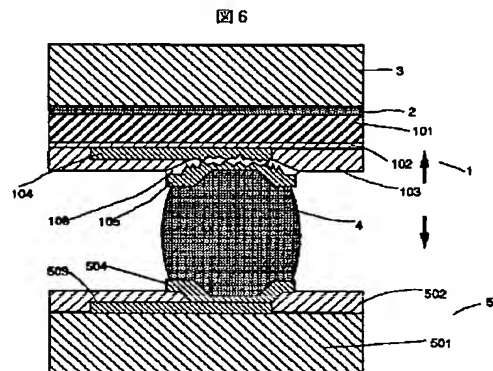
【図 4】



【図 5】

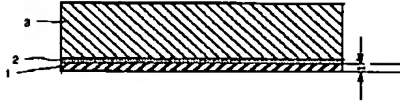


【図 6】



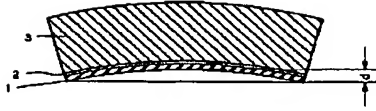
【図7】

図7



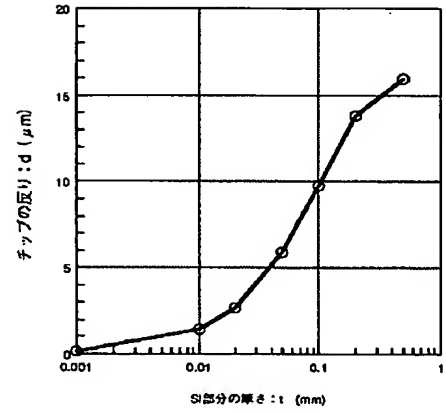
【図8】

図8



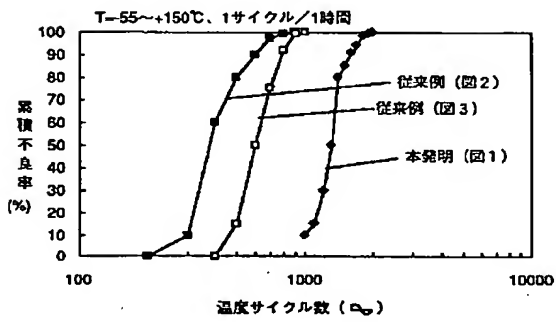
【図9】

図9



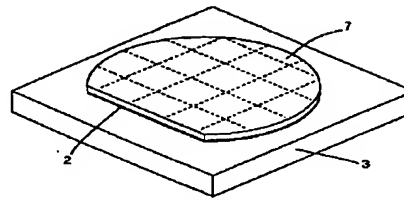
【図10】

図10



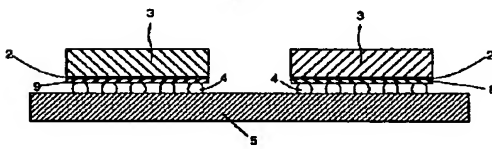
【図11】

図11



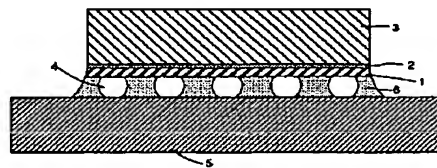
【図12】

図12



【図13】

図13



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**